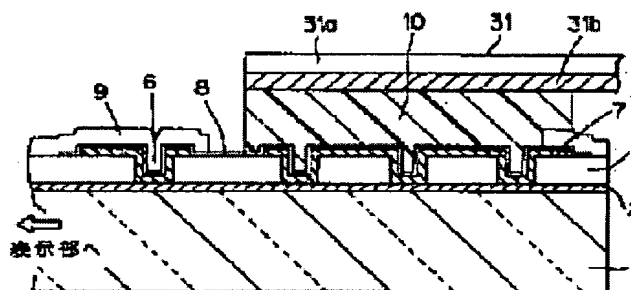


ACTIVE MATRIX SUBSTRATE**Publication number:** JP8006059**Publication date:** 1996-01-12**Inventor:** SUKEGAWA OSAMU; WATANABE TAKAHIKO;
KANEKO WAKAHIKO**Applicant:** NIPPON ELECTRIC CO**Classification:****- international:** G02F1/13; G02F1/13; (IPC1-7): G02F1/1345;
G02F1/1333**- european:** G02F1/13B5**Application number:** JP19940163337 19940623**Priority number(s):** JP19940163337 19940623**Also published as:** US5636329 (A)[Report a data error here](#)**Abstract of JP8006059**

PURPOSE: To prevent corrosion of metallic wirings of terminal parts. **CONSTITUTION:** The lower layer metallic wirings 2 are drawn out from the display parts to the terminal parts disposed at the end of a glass substrate 1 and the surfaces thereof are coated with interlayer insulating films 3. The upper layer metallic wirings 7 formed on these interlayer insulating films are connected to the lower layer wirings 2 via contact holes 6 formed at the interlayer insulating films 3. The upper layer metallic wirings 7 are completely coated with a transparent conductive film 8. A protective insulating film 9 is formed on this magnetic conductive film 8. This protective insulating film 9 is bored with openings at the terminal parts. Copper foil wirings 31b of a flexible wiring board 31 are connected to the terminal parts by anisotropic conductive films 10. The parts of the upper layer metallic wirings 7 not protected by the protective insulating film 9 or the anisotropic conductive films 10 are removed.



Data supplied from the esp@cenet database - Worldwide

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G02F 1/1333	(45) 공고일자 (11) 등록번호 (24) 등록일자	1999년 07월 15일 10-0210625 1999년 04월 27일
(21) 출원번호 (22) 출원일자 (30) 우선권주장	10-1995-0017017 1995년 06월 23일 94-163337 1994년 06월 23일 일본(JP)	(65) 공개번호 (43) 공개일자 특 1996-0001822 1996년 01월 25일
(73) 특허권자 (72) 발명자 (74) 대리인	닛본 덴기 가부시끼가이샤 일본국 도쿄도 미나토구 시바 5쵸메 7-1 고 스게가와 오사무 일본국 도쿄도 미나토구 시바 5쵸메 7-1 닛본덴기 가부시끼가이샤 내 와타나베 다카히코 일본국 도쿄도 미나토구 시바 5쵸메 7-1 닛본덴기 가부시끼가이샤 내 가네코와 카히코 일본국 도쿄도 미나토구 시바 5쵸메 7-1 닛본덴기 가부시끼가이샤 내 구영창, 장수길	

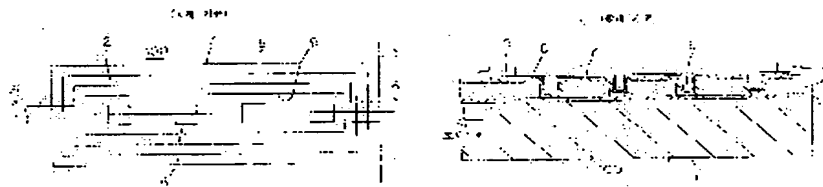
실사본 : 김해성

(54) 파손으로부터 보호되는 단자를 갖는 역정 표시 장치

요약

하부층 금속 배선은 표시부로부터 글래스 기판의 주변에 제공된 단자부로 인출되며, 상부 표면에서 종간 절연막으로 피복된다. 종간 절연막 상에 형성된 상부층 금속 배선은 종간 절연막에 형성된 접촉 홈을 통해 하부층 금속 배선에 접속된다. 상부층 금속 배선은 투명 도전막에 의해 완전하게 피복된다. 보호 절연막은 투명 도전막 위에 형성되고, 개구부는 단자부 내의 보호 절연막으로 개구된다. 단자부에 있어서, 가요성 배선 기판의 구리박 배선은 비등방성 도전막을 통해 접속된다. 상부층 금속 배선은 보호 절연막 또는 비등방성 도전막에 의해 보호되지 않은 부분에서 제거된다.

도표도



발명서

[발명의 명칭]

파손으로부터 보호되는 단자를 갖는 역정 표시장치

[도면의 간단한 설명]

제1(a)도는 종래 기술의 단자부의 평면도.

제1(b)도는 제1(a)도의 라인 A-A를 따라 절취하여 도시한 단면도.

제2(a)도 내지 제2(c)도는 종래 기술의 단자부의 문제점을 설명하기 위한 단면도.

제3(a)도는 본 발명에 따른 제1 실시예의 단자부의 평면도.

제3(b)도는 제3(a)도의 라인 B-B를 따라 절취하여 도시한 단면도.

제3(c)도는 액티브 매트릭스 기판의 표시부를 도시한 단면도.

제3(d)도는 액티브 매트릭스 기판과 테이프-캐리어 패키지 사이의 개략적인 접속 상태를 설명하기 위한 단면도.

제3(e)도는 본 발명에 따른 한 실시예의 단자부에서 테이프-캐리어 패키지와의 접속 상태를 설명하기 위한 단면도.

제4(a)도는 본 발명에 따른 제2 실시예의 단자부의 평면도.

제4(b)도는 본 발명에 따른 제2 실시예의 단자부에서 테이프-캐리어 패키지와의 접속 상태를 설명하기 위해 제4(a)도의 라인 C-C를 따라 절취하여 도시한 단면도.

제5(a)도는 본 발명에 따른 제3 실시예의 단자부의 평면도.

제5(b)도는 본 발명에 따른 제3 실시예의 단자부에서 테이프-캐리어 패키지와의 접속 상태를 설명하기 위해 제5(a)도의 라인 D-D를 따라 절취하여 도시한 단면도.

+ 도면의 주요부분에 대한 부호의 설명

- | | |
|---------------|---------------|
| 1 : 글래스 기판 | 2 : 하부층 금속 배선 |
| 3 : 중간 절연막 | 6 : 접속 홀(스투홀) |
| 7 : 상부층 금속 배선 | 8 : 투명 도전막 |
| 9 : 보호 절연막 | 10 : 비등방성 도전막 |

[발명의 상세한 설명]

본 발명은 액정 표시 장치에 관한 것으로, 특히 이러한 장치에 사용된 액티브 매트릭스 기판의 개량에 관한 것이다.

액정 표시 장치 또는 소자는 저소비 전력 및 공간 감소의 특징을 갖기 때문에 일반적으로 사무 자동 기기, 차에 탑재된 기기, 및 측정 기구와 같은 여러 분야에서 사용되어 왔다. 그중, 액티브 매트릭스형 장치는 전색 표시가 가능하고 높은 콘트라스트와 고품위(high refinement)를 구현할 수 있는 표시 수단으로서 주목받고 있다.

액티브 매트릭스형 액정 표시 장치는 박막 트랜지스터와 같은 스위칭 소자를 각각 갖고 있는 다수의 픽셀을 구비한 액티브 매트릭스 기판을 포함한다. 이것은 기판을 드라이버 집적 회로(IC)에 접속시킬 필요가 있다. 여러 종류의 접속 구조가 제안되어 있는데, 기판 상의 접속 단자가 비등방성 도전막(ACF)을 경유하여 드라이버 IC를 갖는 테이프-캐리어 패키지(TCP)에 접합되는 구조가 일반적으로 사용된다.

이러한 구조에 있어서, 접속용 단자부는 화학적으로 안정한 투명 도전막으로 피복된 금속 배선층으로 이루어지고, 투명 도전막의 일부는 비등방성 도전막에 부착되거나 접합된다. 비등방성 도전막과 접합되지 않은 단자의 도체부 부분은 검사 단자로 사용되어 테이프-캐리어 패키지의 단자 사이의 전기 접속을 검사한다. 즉, 측정 프로브가 도체부에 인가되어 테이프-캐리어 패키지와 단자가 전기적으로 접속되었는지의 여부를 검사한다.

금속 배선을 덮는 투명 도전막이 금속 산화물로 구성되기 때문에, 투명도를 보증한다는 면에서 두껍게 형성될 수 없으므로 투명한 도전막에 소정의 편광이 존재할 수 있다. 이러한 이유 때문에, 금속 배선은 편광을 통해 대기 중에 노출되므로, 배선 상에 부식이 발생한다. 또한, 결함이 없는 경우에도, 금속 배선은 고온 고습 대기 중에서 투명 도전막에 스며드는 수분으로 인해 부식된다. 부식이 진행됨에 따라, 배선이 단절되어 결국은 파손된다.

수분에 대한 대응책으로서, 단자부의 노출 부분을 실리콘 수지로 피복함으로써 외부 수분으로부터 차단시키는 것을 고려할 수 있다. 이것은 금속 배선의 부식을 억제할 수 있지만, 실리콘 수지를 피복하는 추가 단계가 필요하게 되는 결과적으로 비용을 상승시킨다. 특별적으로, 액티브 매트릭스 기판의 단자부는 비등방성 도전막으로 완전히 피복될 수 있다. 이 경우에, 실리콘 수지를 피복하지 않고도 배선의 부식을 억제할 수 있다. 그러나, 이것은 측정 프로브가 단자부의 도체부에 인가될 수 없기 때문에 캐리어 패키지와 단자부 사이의 접속을 확인할 수 없다는 단점이 있다.

따라서, 본 발명의 목적은 공정의 단계 수를 증가시키지 않으면서 공정 단계동안 확인 기능을 방해하지 않고 배선층의 부식을 방지할 수 있는 단자부를 갖는 액정 표시 장치를 제공하기 위한 것이다.

상기 목적을 달성하기 위해, 본 발명에 따른 액정 표시 장치는 도체막을 각각 포함하는 다수의 단자, 제1 부분이 도체막 상에 형성되고 제2 부분이 제1 부분으로부터 연장되는 투명 도전막, 및 투명 도전막의 제2 부분의 일부를 덮고 제2 부분의 나머지 부분을 남기는 보호막을 갖는데, 제1 부분은 접속 부재에 부착되어 구동신호를 수신한다.

상술된 구성에 있어서, 상기 부분을 제외한 투명 도전막의 부분은 비등방성 도전막 또는 열접착 커넥터와 같은 보호막 및 접속 부재에 의해 보호된다. 상기 부분은 검사 패드용으로 사용된다. 따라서, 투명 도전막이 결함을 갖고 있거나 고온 고습 대기에서 사용된다고 해도, 도체 막은 외부 대기의 영향을 받지 않는다. 그러므로, 도체막은 배선이 부식으로부터 보호된다. 그러므로, 본 발명에 따르면, 추가 단계가 없이 단자부의 신뢰성이 향상될 수 있다. 그 다음, 본 발명에 따르면, 드라이버 회로와의 접속 후에 단자부에서 검사가 가능하고, 드라이버 회로의 프레스 접합 단계 후의 실리콘 수지 피복 단계가 줄어들 수 있기 때문에, 생산성을 증가시킬 수 있고, 액정 표시 장치의 비용을 절감시킬 수 있다.

이하 첨부된 도면을 참조한 설명으로부터 본 발명의 특징 및 장점이 더욱 명백해질 것이다.

본 발명에 따른 양호한 실시예를 설명하기 이전에, 첨부된 도면을 참조하여 본 발명을 용이하게 이해할 수 있도록 하기 위해 종래 기술에 대해 설명하겠다.

제1(a)도 및 제1(b)도를 참조하면, 종래 기술에 따른 단자부는 글래스 기판(1), Cr 등으로 이루어진 하부층 금속 배선(2), 실리콘 산화막과 실리콘 질화막의 복합 막을 포함하는 중간 절연막(3), 하부층 금속 배

전(2)의 다수의 부분을 노출시키기 위해 중간 절연막(3)에 형성된 접촉 홀(6), 배선(2)의 각각의 부분과 접촉하여 막(3) 상에 형성된 Cr 등으로 이루어진 상부층 금속 배선(7), 인듐-주석-산화물(ITO)로 이루어진 투명 도전막(8), 및 실리콘 질화막으로 이루어진 보호 절연막(9)을 포함한다.

제1(a)도 및 제1(b)도로부터 명백히 알 수 있는 바와 같이, 단자부 내의 상부층 금속 배선(7)은 투명 도전막(8)로 완전히 피복된다. 도면에서 한 단자만이 도시되었지만, 실제로는 제1(a)도의 수직 방향으로 기판(1) 상에 수백개의 단자가 배치된다.

제2(a)도를 참조하면, 테이프-캐리어 패키지의 단자부는 제1(a)도 및 제1(b)도에 도시된 종래의 단자부에 접속된다. 구체적으로, 테이프-캐리어 패키지를 구성하는 가요성 배선 기판(31)의 구리박(copper foil) 배선(31b)은 비등방성 도전막(10)을 경유하여 단자부(100)상에 접속된다. 비등방성 도전막(10)으로 피복되지 않은 단자부(100)의 도체부는 검사 단자로서 사용되어 단자(100)과 테이프-캐리어 패키지 사이의 전기 접속을 검사한다.

금속 배선(7)을 덮는 투명 도전막(8)이 ITO로 이루어지기 때문에, 그것만으로도 화학적으로 안정하다. 그러나, 이것은 수분 저항 기능이 그다지 양호하지 않고 투명도를 보증하는 면에서 투명한 막 두께로 형성될 수 없기 때문에, 금속 배선(7)에 대한 보호 기능이 별로 효과적이지 않다. 예를 들어, 제2(b)도에 도시된 바와 같이, 핀홀과 같은 결함(11)이 투명 도전막(8)에 존재하기 때문에, 금속 배선(7)이 외부대기에 노출되어 부식(12)을 초래한다. 또한, 결함이 없다고 해도, 금속 배선(2)가 고온 고습 대기 중에서 투명 도전막에 스며드는 수분으로 인해 부식된다. 부식이 진행되는 경우, 결국은 배선이 단절되므로, 테이프-캐리어 상에 설치된 드라이버 IC로부터의 제어 신호는 단자부에서 표시부로 전송될 수 없다.

대체책으로서, 제2(c)도에 도시된 바와 같이, 단자부의 노출 부분을 실리콘 수지(13)으로 피복함으로써 노출 부분이 외부로부터 영양받지 못하도록 차단시키는 것을 고려할 수 있다. 그러나, 제2(c)도에 도시된 종래 기술에서는 실리콘 수지(13)를 피복하는 단계가 필요하기 때문에, 결과적으로 비용을 상승시킨다.

또한, 비등방성 도전막에 대응하는 열접착 커넥터로 전체 단자부를 완전히 피복하는 것이 일본국 특개평 제4-3821호에 제안되어 있다. 이러한 구성에 있어서, 금속 배선의 부식은 억제될 수 있지만, 이것은 테이프-캐리어 패키지와의 접속 후에 단자부를 이용하여 감사할 수 없다는 단점을 초래한다.

이제 제3도를 참조하면, 본 발명의 제1 실시예에 따른 실제 액티브 매트릭스 기판은 기판(1)의 주변부(100)를 따라 서로 나란히 정렬된 수백개의 단자를 갖고 있다. 그러나, 이 실시예에서는 단자들중 단자(100)에 대해서만 설명하겠다. 이 실시예의 구조적 특징은 생산법에 의해 가장 잘 이해될 수 있기 때문에, 이 실시예의 액티브 매트릭스 기판을 제조하는 방법에 대해 설명하겠다.

불투명 도전막과 같은 크롬(Cr) 막은 제3(a)도에 도시된 바와 같이, 스퍼터링법으로 글래스 기판(1)의 전체면 상에 140 나노미터의 막 두께로 증착된 다음에, 단자용 하부 금속 배선(2-1)을 형성하기 위해 패턴된다. 이 하부 금속 배선은 제3(c)도에 도시된 바와 같이 기판(1)의 중심부에 배치된 박막 트랜지스터용 게이트 전극(2a)를 형성한다. 또한, 하부층 금속 배선에 의해, 제3(a)도 및 제3(b)도에 도시된 바와 같이, 도선(2-2)은 단자 금속 막(2-1)을 게이트 전극(2a)에 접속시키기 위해 형성된다.

그 다음, 중간 절연막(3)을 형성하기 위한 실리콘 산화막과 실리콘 질화막의 복합 막이 총 500 나노미터의 막 두께로 형성되어, 플라즈마 엔헨스드 CVD법으로 글래스 기판(1), 하부층 금속 배선(2) 및 게이트 전극(2a)을 덮는다. 계속해서, 아몰포스 실리콘 막은 순서대로 동일한 CVD 장치에서 중간 절연막(3) 상에 증착된다. 아몰포스 막은 각각 200 나노미터 및 50 나노미터 두께의 비도프된 아몰포스 실리콘 막(4) 및 N형 아몰포스 실리콘 막(5)이다. 그 다음, 아몰포스 실리콘 막(4, 5)는 기판(1)의 중심부에 배치된 박막 트랜지스터 형성부에 아일랜드 형태로 남겨지도록 패턴된다. 아일랜드 형태로 남겨진 아몰포스 실리콘 막(4)의 일부는 박막 트랜지스터의 채널 영역으로서 기능한다. 아일랜드 형태로 남겨진 아몰포스 실리콘 막(4) 아래의 중간 절연막(3)은 박막 트랜지스터의 게이트 절연막으로서 기능한다. 계속해서, 중간 절연막(3)은 제3(b)도에 도시된 바와 같이 단자부 내의 하부층 금속 배선(2)와 상부층 금속 배선 사이의 접속 위치에 스루홀을 형성하도록 패턴된다. 이 실시예에 있어서, 스루홀은 단자부의 4개의 위치에 형성되어, 각각 하부층 금속 배선(2)의 표면을 노출시킨다.

그 다음, 불투명 도전막으로서의 다른 크롬(Cr)막이 140 나노미터의 막 두께로 증착되어, 박막 트랜지스터 형성부에서 중간 절연막(3) 및 아몰포스 실리콘 막(4, 5)를 피복하고, 단자부에서 접촉 홀(6)을 통해 노출된 하부층 금속 배선(2) 및 중간 절연막(3)을 피복한다. 이 막은 단자부에서 접촉 홀(6) 내의 하부층 금속 배선(2)과 각각 전기적으로 접속된 상부층 금속 배선(7-1 및 7-2)을 형성하도록 패턴된다.

상부층 금속 배선(7-1 및 7-2)은 제3(a)도에 도시된 바와 같이, 각각 아일랜드 형태로 형성되고, 단자부의 하부층 배선(2) 상에 배치된다. 즉, 상부층 금속 배선(7-1) 및 상부층 금속 배선(7-2)은 각각 상이한 접촉 홀(6)을 경유하여 하부층 금속 배선(2)에 접속된다. 그러나, 이들은 스루홀(6) 사이의 중간 절연막(3) 상에서 서로 분리된다. 즉, 본 발명에 따르면, 상부층 금속 배선의 일부는 스루홀(6) 사이의 중간 절연막(3) 상에서 제거된다. 이 패턴링 단계에서, 아몰포스 실리콘 막(4, 5)와 각각 접속된 드레인 전극(7b) 및 소스 전극(7c)은 제3(c)도에 도시된 바와 같이 박막 트랜지스터 형성부에 형성된다. 이와 동시에, 드레인 전극(7b)과 접촉하는 데이터 신호 배선(7a)은 트랜지스터의 형성부가 아닌 표시부에 형성된다.

그 다음, 투명막으로서의 인듐-주석-산화물(ITO)은 스퍼터링 법에 의해 투명도전막(8)로서 노출 전체면에 40 나노미터의 두께로 형성된다. 이 막은 단자부에서 중간 절연막(3) 및 상부층 금속 배선(7-1 및 7-2)을 피복하고, 표시부에서 소스 전극(7c)과 접속된 픽셀 전극(8a)를 형성하도록 패턴된다. 최종적으로, 트랜지스터 형성부와 단자부를 피복하는 약 200 나노미터 두께의 실리콘 질화막이 플라즈마 엔헨스드 CVD 법으로 증착되어, 보호 절연막(9)을 형성한다. 또한, 개구부(14)가 제3(b)도에 도시된 바와 같이 보호 절연막(9)에 형성된다. 개구부(14)는 중간 절연막(3)의 표면 상에 형성된 부분에서의 투명 도전막(8), 및 단자부 내의 상부층 금속 배선(7-2)의 표면에 형성된 부분에서의 투명 도전막(8)의 표면을 노출시킨다. 개구부는 픽셀 전극(8a)의 표면을 노출시키기 위해 표시부 내의 보호 절연막(9)에 동시에 형성된다. 이를

공정을 통해, 이 실시예에서 액티브 매트릭스 기판(8)의 제도가 완료된다.

그 다음, 액정 표시 장치의 후속 조립 단계에 대해 제3(d)도를 참조하여 설명하겠다. 상술된 바와 같이 제조된 액티브 매트릭스 기판(100)은 사이에 좁은 갭을 유지하면서 롤러 필터(200)에 끼워 맞춰진다. 액정 패널은 갭 내에 액정 재료를 주입하여 밀봉함으로써 완성된다. 그 다음, 액정 패널을 드라이버 IC로서의 테이프-캐리어 패키지(300)는 접속 부재를 사용하여 패널에 접속된다. 이 실시예에 있어서, 이들 둘은 접속 부재의 한 예로서 비등방성 도전막(10)을 사용하여 접속된다.

테이프-캐리어 패키지(300)에 있어서, 드라이버 IC 다이(32)는 다수의 구리박 배선(31b) 및 이 다수의 구리박 배선(31b) 위에 형성되어 각각에 접속된 가요성 절연막(31a)을 포함하는 가요성 배선 기판(31) 상에 장착되고, IC 다이는 형상부는 제3(d)도에 도시된 바와 같이 포팅(potting) 수지로 피복된다.

테이프-캐리어 패키지(300)는 선택된 온도 및 압력 하에서 액티브 매트릭스 기판(100) 상에 있는 단자부 상의 비등방성 도전막(10)을 먼저 임시로 접합함으로써 액티브 매트릭스 기판(100)에 접속된다. 비등방성 도전막(10)은 열경화성 수지에 분산된 도전성 입자를 포함한다. 임시 접합은, 예를 들어 80°C의 온도에서 3초 동안 5 kg/cm² 압력의 조건하에서 세퍼레이터를 경유하여 액티브 매트릭스 기판(100)의 단자부에 비등방성 도전막(10)을 가압함으로써 행해진다. 임시 접합 후에, 비등방성 도전막(10)의 표면 상에 접착된 세퍼레이터는 필 오프(peel off)된다. 또한, 테이프-캐리어 패키지(300)의 가요성 배선 기판(31)은 임시로 접합된 비등방성 도전막(10) 상에 배치된 다음에, 가열하에 프레스 접합되어 구리박 배선(31b)을 액정의 단자부에 전기적으로 접속시킨다. 접합은, 예를 들어 180°C의 온도에서, 18초 동안, 30kg/cm²의 압력의 조건 하에서 행해진다. 이 경우에, 비등방성 도전막(10)의 수지는 단자부의 표면과 천밀하게 접촉하여 피복 하도록 액체화된다. 테이프-캐리어 패키지(300)의 다른 접속 부분은 강성 배선 기판에 접속된다. 예를 들어, 전원 공급 회로는 강성 기판에 배치되어, 전원 전압을 테이프-캐리어 패키지(300)와 액티브 매트릭스 기판(100)에 공급한다. 또한, 배선 기판은 액정 패널의 표시 정보에 따라 매트릭스 신호로 분리해 비디오 신호를 수신하여, 테이프-캐리어 패키지(300)의 드라이버 IC(32)를 제어한다.

테이프-캐리어 패키지는 제3(e)도에 단면도에 구체적으로 도시된 바와 같이 이 실시예에서 액티브 매트릭스 기판(100) 상의 단자부에 접속된다. 단자부에 있어서, 상부층 금속 배선(7)은 보호 절연막(9) 또는 비등방성 도전막(10)에 의해 피복되지 않은 부분에서 제거된다. 즉, 단자부에 있어서, 상부층 금속 배선(7-1)은 투명 도전막(8) 및 보호 절연막(9)에 의한 이중 커버리지에 의해 보호되고, 상부층 금속 배선(7-2)은 투명 도전막(8) 및 비등방성 도전막(10)에 의한 이중 커버리지에 의해 최소한 보호된다. 또한, 상부층 배선(7-2)은 보호 절연막(9)에 의한 커버리지에 의해 국부적으로 더욱 보호된다. 따라서, 단자부에서의 투명 도전막(8)이 결함을 갖는 경우, 또는 이것이 고습 대기에서 사용되는 경우에도, 상부층 금속 배선(7-1 및 7-2)은 외부 공기에 노출되지 않고 부식에 대해 보호된다. 또한, 투명 도전막(8)은 상부층 금속 배선(7-1)과 상부층 금속 배선(7-2) 사이의 층간 절연막(3)의 표면 상에 바로 형성되고, 보호 절연막(9)의 개구부(14) 내에서 노출된다. 특정 프로브를 투명 도전막(8)의 그 부분에 인가함으로써, 테이프-캐리어 패키지(300)와 액티브 매트릭스 기판(100)이 원하는 대로 전기적으로 접속되었는지의 여부를 검사할 수 있고, 이것을 검사 단자로서 사용할 수 있다. 즉, 이 실시예에 있어서, 이것을 단자부 내의 상부층 금속 배선(7-1 및 7-2)의 부식을 방지하면서 검사 단자로서 사용할 수 있다.

검사 시에 이들 사이에 충분한 전기적 접속이 얻어지지 않았다는 것이 발견되면, 단자부에서 비등방성 도전막(10)을 경유하여 접속된 테이프-캐리어 패키지(300)는 보수 동작으로서 액티브 매트릭스 기판(100)으로부터 필 오프된 다음에 다시 접합된다. 필링(peeling) 단계에 있어서, 비등방성 도전막(10)뿐만 아니라 하부에 놓인 투명 도전막(8) 및 상부층 금속 배선(7-2)은 또한 액티브 매트릭스 기판(100)으로부터 때때로 함께 필링될 수 있다. 이 실시예에 있어서, 상부층 금속 배선(7-2)뿐만 아니라 상부층 금속 배선(7-1)이 또한 형성되고, 이들은 스루홀(6)을 경유하여 하부층 금속 배선(2)에 각각 접속된다. 따라서, 액티브 매트릭스 기판(100)의 단자부에서 테이프-캐리어 패키지(300)의 구리박 배선(31b) 및 투명 도전막(8)은 보수 동작시에 새로운 비등방성 도전막(10)에 의해 다시 접속되고, 상부층 금속 배선(7-1)을 경유하여 하부층 금속 배선(2)에 접속된 도전 경로는 보수 동작 이전과 동일한 방식으로 최소한 보증될 수 있고, 검사 단자로서 사용할 수 있는 영역이 유지될 수 있다.

또한, 이 실시예에 있어서, 상부층 금속 배선(7-2)은 스루홀(6)을 경유하여 3 개의 위치에서 하부층 금속 배선(2)에 접속되고, 투명 도전막(8)을 경유하여 상부층 금속 배선(7-2)에 접속된 상부층 금속 배선(7-1)은 스루홀(6)을 경유하여 한 위치에서 하부층 금속 배선(2)에 접속된다. 즉, 상부층 금속 배선(7-1 및 7-2)은 스루홀(6)을 경유하여 몇몇 위치에서 하부층 금속 배선(2)와 전기적으로 접속된다. 몇몇 위치에 배치된 스루홀과 접속된 구조에 있어서, 상부층 금속 배선은 하부층 금속 배선에 고정되고, 하나의 큰 직경 사이즈의 스루홀을 경유하여 접속된 구조에 비해 덜 필링될 수 있다. 즉, 감사 후의 필링 단계 후에도, 상부층 금속 배선(7-2)은 액티브 매트릭스 기판(100)으로부터 덜 필링될 수 있다. 또한, 스루홀의 개구부에 대한 주변 길이가 더 길기 때문에, 상부층 금속 배선은 스루홀에서 덜 단절됨으로써, 상부층 금속 배선과 하부층 금속 배선 사이에 더욱 신뢰성있는 접속을 제공할 수 있다.

또한, 투명 도전막(8) 및 하부층 금속 배선(2)가 상부층 금속 배선(7-1 및 7-2)에 의해 접속되기 때문에, 상부층 금속 배선은 투명 도전막(8)과 같은 IT0에 비해 약 2자리만큼 낮은 저항값을 가지므로, 저항값은 더 낮아질 수 있다. 또한, 상부층 금속 배선(7-1 및 7-2)가 박막 트랜지스터부의 소스 전극(7c), 드레인 전극(7b) 및 데이터 신호 배선(7a)와 동시에 형성되기 때문에, 저항값을 저하시키는데 필요한 추가 단계가 없다.

제4(a)도 및 제4(b)도를 참조하여, 본 발명에 따른 제2 실시예에 대해 더욱 상세하게 설명하겠다. 제4(a)도는 비등방성 도전막(10)을 형성하기 이전의 단자부를 도시한 도면이다. 제4(b)도는 가요성 배선 기판(31)이 비등방성 도전막(10)을 경유하여 접속되어 있는 구조를 도시한 단면도이다. 상술된 제1 실시예와 동일한 부분에는 동일한 참조 번호를 붙이고 설명은 생략하겠다. 이 실시예에 있어서, 상부층 금속 배선(7)은 3개의 스루홀(6)을 통해 하부층 금속 배선(2)에 전기적으로 접속된다. 상부층 금속 배선(7)은 접속 부재의 한 예로서 비등방성 도전막이 프레스 접합된 위치에서만 존재한다. 즉, 상부층 금속 배선(7)은 투명 도전막(8) 및 비등방성 도전막(10)에 의한 이중 커버리지에 의해 최소한 보호되고, 더 나아가 보호 절연막(9)에 의한 커버리지에 의해 국부적으로 보호된다. 비등방성 도전막(10)으로 피복되지 않고 보호

절연막(9)의 애퍼추어 부분을 통해 노출된 투명 도전막(8)은 검사 단자로서 사용될 수 있다. 또한, 이 실시예에 있어서, 보호 절연막(9)의 애퍼추어 부분은 통해 노출된 투명 도전막(8)은 상부층 금속 배선(7)이 제1 실시예와 동일한 방식으로 존재하지 않는다는 하에서 중간 절연막(3)의 표면 상에 직접 형성된다. 따라서, 단자부에서 투명 도전막(8)이 결함을 갖거나 또는 고습 대기에서 사용되는 경우에도, 금속 배선(7)은 외부 대기에 노출되지 않고, 부식에 대해 보호될 수 있다. 부수적으로, 특정 프로브를 애퍼추어에 노출된 부분에서 투명 도전막에 인가함으로써, 테이프-캐리어 패키지(300)와 액티브 매트릭스 기판(100)이 원하는 대로 전기적으로 접속되었는지의 여부에 대해 검사할 수 있고, 이것을 검사 단자로서 사용할 수 있다. 즉, 이 실시예에 있어서도, 이것을 단자부에서 상부층 금속 배선(7)의 부식을 방지하면서 검사 단자로서 사용할 수 있다. 또한, 이 실시예에 따르면, 표시부 근처의 단자부에서의 금속 배선이 금속 배선(9), 투명 도전막(8) 및 중간 절연막(3)에 의해 보호되기 때문에, 부식 저항력은 제1 실시예에 비해 더 향상된다.

제5(a)도 및 제5(b)도를 참조하여, 본 발명에 따른 제3 실시예에 대해 더욱 구체적으로 설명하겠다. 제1 및 제2 실시예와 동일한 부분에는 동일한 참조 번호를 붙이고 설명은 생략하겠다. 상기 제1 및 제2 실시예에 있어서, 투명 도전막(8)은 상부층 금속 배선(7)의 상부층에 형성된다. 액티브 매트릭스 기판을 제조하는 경우에, 상부층 금속 배선을 투명 도전막의 상부층에 형성하는 공정이 때때로 사용된다. 이 경우에, 액티브 매트릭스 기판은 차례로 게이트 배선 패터닝 단계, 절연막 및 아몰포스 실리콘 막 형성 단계, 스루홀 형성 단계, 픽셀 형성 단계, 드레인 배선 형성 단계, 채널 에칭 단계 및 보호막 형성 단계의 제조 단계를 통해 제조된다. 이 경우에, 상부층 금속 배선은 또한 드레인 배선 형성 단계에서 단자부에서 패터닝함으로써 형성된다. 이 실시예에 있어서, 단자부는 하부층 금속 배선(2-1) 및 하부층 금속 배선(2-2)의 이중층 막, 및 투명 도전막(8)을 포함한다. 즉, 아일랜드 형태의 투명 도전막(8)은 제5(a)도에 도시된 하부층 금속 배선(2-1 및 2-2), 및 이 하부층 금속 배선들 사이에 위치하는 글래스 기판(1)을 피복하고, 서로 분리된 하부층 금속 배선(2-1 및 2-2)를 전기적으로 접속시킨다. 하부층 금속 배선(2-1)은 투명 도전막(8) 및 보호 절연막(9)에 의한 이중 커버리지에 의해 보호되고, 하부층 금속 배선(2-2)는 투명 도전막(8) 및 비등방성 도전막(10)에 의한 이중 커버리지에 의해 보호되고, 또한 보호 절연막(9)에 의한 커버리지에 의해 국부적으로 보호된다. 또한 이 실시예에 있어서, 보호 절연막(9)의 애퍼추어 부분에 노출된 투명 도전막(8)은 금속 배선이 존재하지 않는다는 하에서 글래스 기판(1)의 표면 상에 바로 형성되기 때문에, 단자부에서 투명 도전막(8)이 결함을 갖거나 고습 대기에서 사용되는 경우에도, 하부층 금속 배선(2-1 및 2-2)는 외부 대기에 노출되지 않고, 부식에 대해 보호될 수 있다. 부수적으로, 특정 프로브를 애퍼추어에 노출된 투명 도전막(8)의 일부에 인가함으로써, 테이프-캐리어 패키지(300)와 액티브 매트릭스 기판(100)이 원하는 대로 전기적으로 접속되었는지의 여부에 대해 검사할 수 있고, 이것을 검사 단자로서 사용할 수 있다. 즉, 이 실시예에 있어서, 이것을 단자부에서 하부층 금속 배선(2-1 및 2-2)의 부식을 방지하면서 검사 단자로서 사용할 수도 있다.

본 발명은 특정 실시예에 대해 설명되었지만, 이러한 실시예에 제한되지 않고 본 발명의 범위를 벗어나지 않는 범위에서 여러 가지로 변경할 수 있다. 예를 들어, 하부층 금속 배선 및 상부층 금속 배선은 Cr로 제조되었지만, 대신에 Al, Ta, Mo 또는 W 등으로 이루어진 단일층 또는 복합층이 사용될 수도 있다. 또한, 하부층 금속 배선 및 상부층 금속 배선의 재료는 항상 동일한 것은 아니다. 또한, 중간 절연막 또는 보호 절연막은 상기 실시예에서 상술된 것 이외의 재료로 구성될 수도 있다.

또한, 단자부에 사용된 접속 부재는 비등방성 도전막에만 한정되는 것은 아니다. 예를 들어, 열접착 커넥터가 접속 부재로서 사용될 수 있다. 특정 예로는 액티브 매트릭스 기판(100)의 각각의 단자부에 대한 거리와 동일한 거리에서 각각 폴리이미드로 이루어진 수지층에 선형 실버 도체가 매립되는 가요성 테이프 형태의 재료이고, 드라이버 IC는 기판(100)의 각각의 단자부와 접속될 측면에 대항하는 측면에 접속된다. 액티브 매트릭스 기판(100)의 각각의 단자부와 접속될 부분을 제외한 선형 실버 도체 부분은 열 감지 접착제로 피복된다. 기판(100)의 각각의 단자부 및 열접착 커넥터의 각각의 실버 도체는 열라인되어 압력하에서 가열될 수 있다.

(5) 청구의 범위

청구항 1

구동 신호들을 수신하는 다수의 단자들을 갖고 있는 액정 표시장치에 있어서, 상기 단자들 각각이 ① 절연 기판 상에 형성된 도체막; ② 상기 도체막 상에 형성된 제1 부분 및 상기 제1 부분으로부터 연장되며 상기 도체막 상에 형성되지 않은 제2 부분을 갖고 있는 투명 도전막; ③ 상기 투명 도전막의 상기 제2 부분의 일부를 피복하고 피복되지 않는 나머지 부분을 남겨 놓는 보호 절연막; 및 ④ 상기 투명 도전막의 상기 제2 부분의 상기 피복되지 않는 나머지 부분 중 상기 도체막쪽의 일부분 및 상기 투명 도전막의 제1 부분 상에 형성되는 접속 부재를 포함하되, 상기 투명 도전막의 제2 부분의 상기 피복되지 않는 나머지 부분 중 상기 접속 부재에 의해 피복되지 않는 부분은 상기 도체막으로부터 격리되는 것을 특징으로 하는 액정 표시 장치.

청구항 2

제1항에 있어서, 상기 도체막은 Cr, Al, Ta, Mo 또는 W로 구성된 그룹에서 선택된 재료로 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 3

절연 기판, 상기 절연기판 상에 형성된 표시부, 및 구동 신호들을 수신하고 상기 구동 신호들을 상기 표시부에 공급하기 위해, 상기 절연 기판 상에 형성된 다수의 단자들을 포함하는 액정 표시 장치에 있어서, 상기 단자들 각각이 ① 상기 절연 기판 상에 형성된 제1 도체막; ② 상기 제1 도체막 상에 형성된 중간 절연막; ③ 상기 제1 도체막의 일부를 노출시키기 위해 상기 중간 절연막에 형성된 스루홀(through hole); ④ 상기 스루홀을 통해 상기 제1 도체막의 상기 일부와 접촉한 상태로 상기 중간 절연막 상에 형성된 제2 도체막; ⑤ 상기 제2 도체막 상에 형성되고 상기 중간 절연막으로 연장되어 연장부(elongated

portion)를 형성하는 투명 도전막; ⑥ 상기 투명 도전막의 상기 연장부를 피복하는 보호 절연막; 및 ⑦ 상기 보호 절연막에 형성되어 상기 투명 도전막의 상기 연장부의 일부를 노출시킴으로써 상기 투명 도전막의 상기 연장부의 상기 일부가 상기 제2 도체막으로부터 격리되도록 하는 개구부(opening)를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 4

제3항에 있어서, 상기 절연 기판은 글래스 기판이고, 상기 표시부는 다수의 스위칭 트랜지스터들을 포함하며, 상기 제1 도체막은 상기 스위칭 트랜지스터를 증연판된 트랜지스터에 접속되는 것을 특징으로 하는 액정 표시 장치.

청구항 5

제3항에 있어서, 상기 투명 도전막은 상기 투명 도전막의 상기 연장부의 상기 일부를 노출시키면서 접속 부재에 부착되고, 상기 접속 부재는 드라이버로부터 상기 구동 신호들을 전달하는 것을 특징으로 하는 액정 표시 장치.

청구항 6

제5항에 있어서, 상기 접속 부재는 비등방성 도전막과 열접착(heat seal) 커넥터중 하나로 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 7

제3항에 있어서, 상기 단자들을 각각은 상기 제1 도체막의 추가 부분을 노출시키기 위해 상기 층간 절연막에 형성된 추가 스루홀 및 상기 추가 스루홀을 통해 상기 제1 도체막의 상기 추가 부분과 접촉한 상태로 상기 제2 도체막으로부터 떨어져서 상기 층간 절연막 상에 형성된 제3 도체막을 더 포함하고, 상기 투명 도전막의 상기 연장부는 상기 제3 도전막 상에 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 8

제7항에 있어서, 상기 투명 도전막은 상기 연장부의 상기 일부를 노출시키면서 접속 부재에 부착되고, 상기 접속 부재는 드라이버로부터 상기 구동 신호들을 전달하는 것을 특징으로 하는 액정 표시 장치.

청구항 9

제8항에 있어서, 상기 접속 부재는 비등방성 도전막과 열접착 커넥터중 하나로 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 10

절연 기판; 상기 절연기판 상에 형성되어 있고, 정보를 나타내기 위한 픽셀전극과 스위칭 소자를 갖고 있는 표시부; 및 상기 절연 기판 상에 형성되어 있고, 상기 정보와 관련된 제어 신호가 공급되는 단자부를 구비하는 액티브 매트릭스 기판에 있어서, 상기 단자부는, ① 상기 절연 기판 상에 형성되어 있으며, 접촉하고 있지 않은 제1 및 제2 부분을 갖고 있는 금속 배선; ② 상기 금속 배선의 상기 제1 및 제2 부분 상에 형성되어 있으며, 상기 금속 배선의 상기 제1 부분과 제2 부분 사이의 상기 절연 기판을 직접 피복하는 투명 도전막; 및 상기 투명 절연 기판과 상기 투명 도전막의 제1 부분을 피복하고, 상기 투명 절연 기판을 직접 피복하는 상기 투명 도전막의 제2 부분 및 상기 금속 배선의 상기 제2 부분을 피복하는 상기 투명 도전막의 제3 부분을 노출시키는 개구부를 갖고 있는 보호 절연막을 포함하는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 11

제10항에 있어서, 상기 절연 기판은 글래스 기판이고, 상기 스위칭 소자는 트랜지스터이며, 상기 금속 배선은 상기 트랜지스터의 게이트와 드레인 중 하나에 접속되는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 12

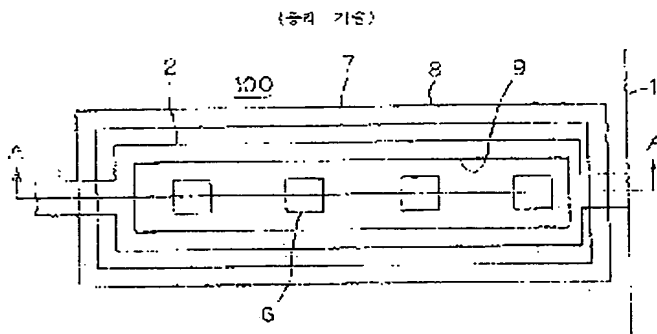
제10항에 있어서, 상기 투명 도전막의 상기 제3 부분은 드라이버 집적 회로로부터 상기 제어 신호가 공급되도록 접속 부재로 피복되는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 13

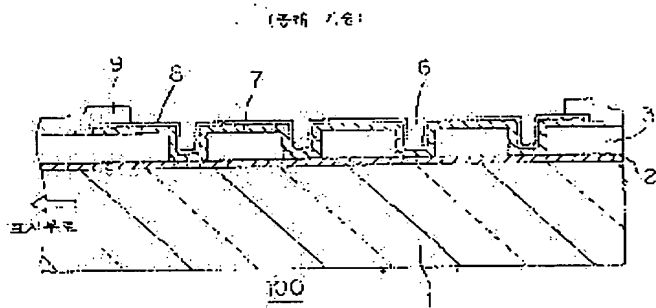
제12항에 있어서, 상기 접속 부재는 비등방성 도전막과 열접착 커넥터중 하나로 형성되는 것을 특징으로 하는 액티브 매트릭스 기판.

도면

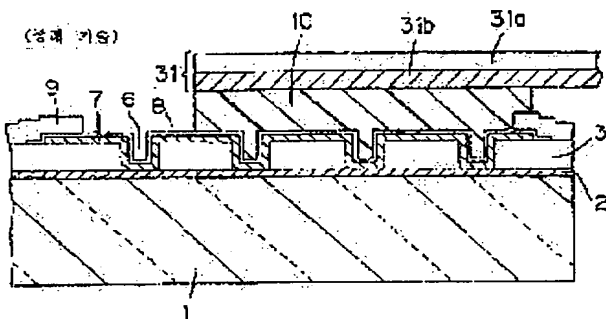
도면 1a



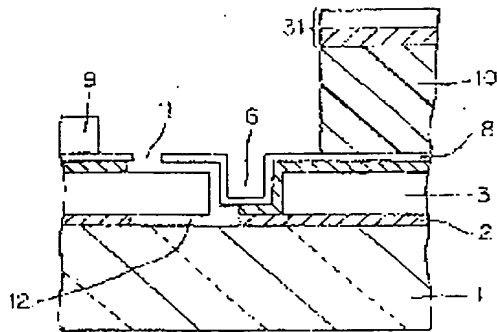
도면 1b



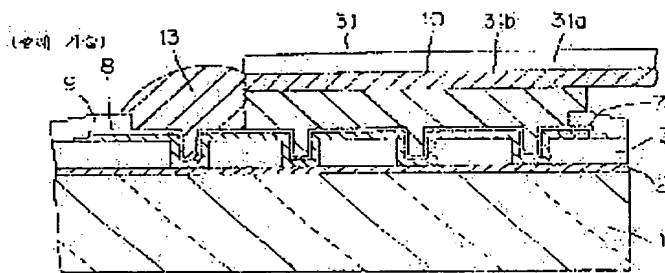
도면 2a



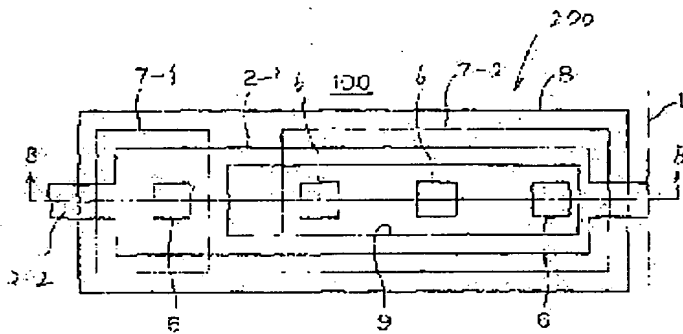
5228



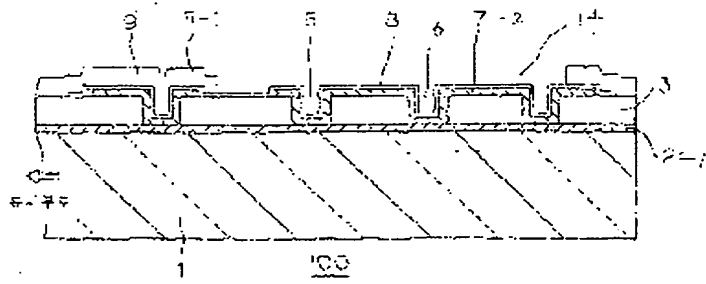
SEP 20



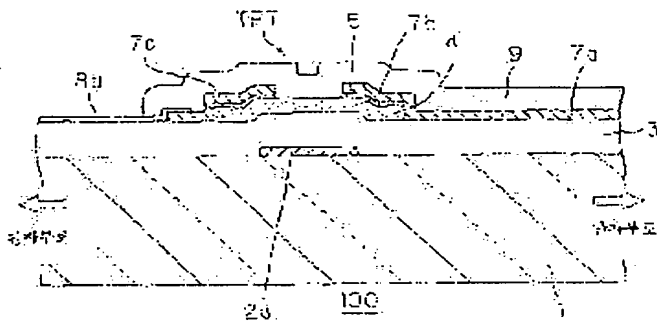
5439



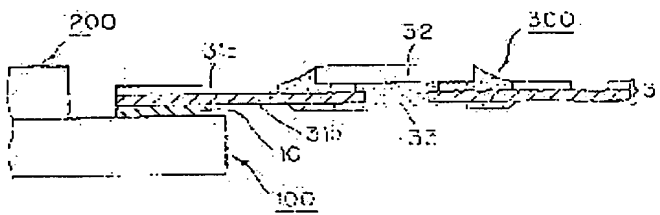
도면3b



도면3c



도면3d



도면3e

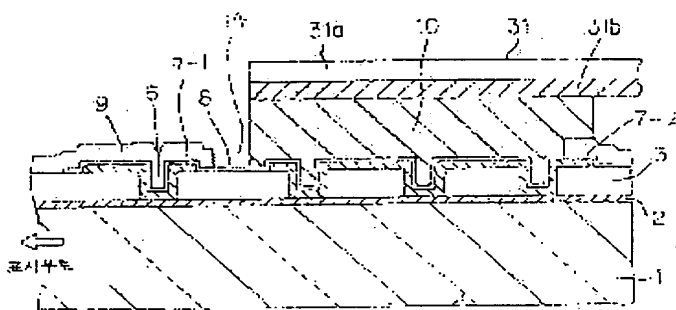


図4a

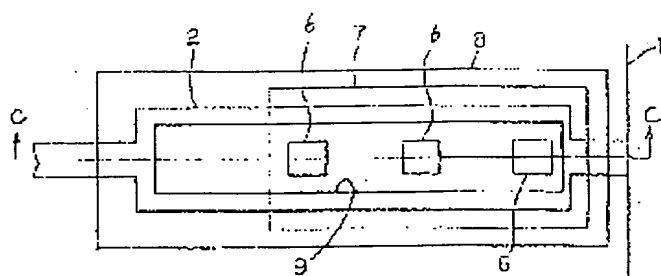


図4b

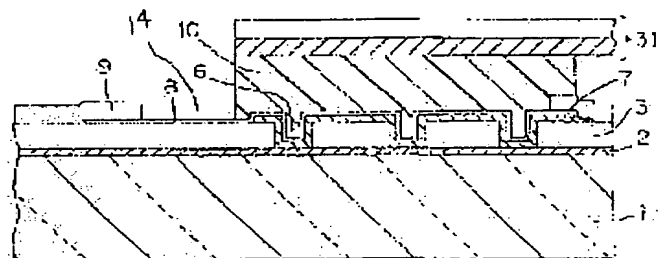


図5a

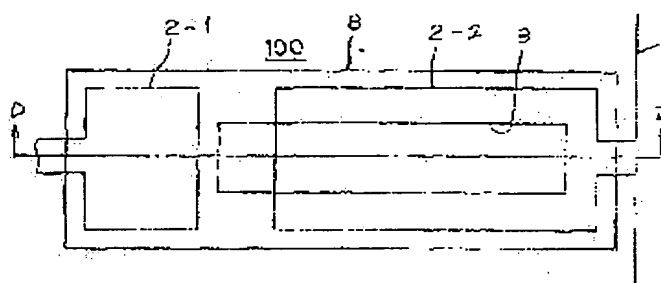
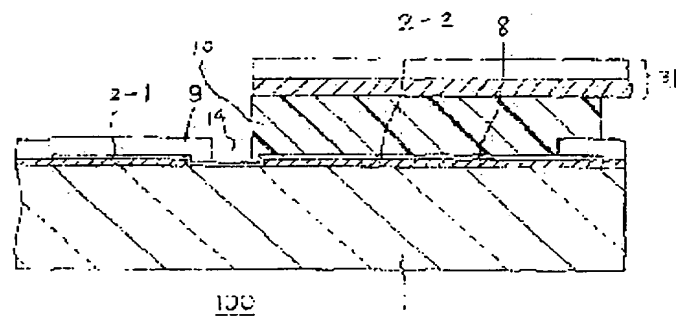


図5b



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.